

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3833779

Basic Patent (No,Kind,Date): JP 57100467 A2 820622 <No. of Patents: 002>

IC SUBSTRATE FOR ACTIVE MATRIX DISPLAY BODY (English)

Patent Assignee: SUWA SEIKOSHA KK

Author (Inventor): MOROZUMI SHINJI

IPC: *G09F-009/30; G02F-001/133; G09F-009/35

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
JP 57100467	A2	820622	JP 80176946	A	801215 (BASIC)
JP 90000708	B4	900109	JP 80176946	A	801215

Priority Data (No,Kind,Date):

JP 80176946 A 801215

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭57-100467

⑫ Int. Cl.³
G 09 F 9/30
G 02 F 1/133
G 09 F 9/35

識別記号

府内整理番号
7520-5C
7348-2H
7520-5C

⑬ 公開 昭和57年(1982)6月22日
発明の数 1
審査請求 未請求

(全 7 頁)

⑭ アクティブ・マトリックス表示体用 IC 基板

会社諏訪精工舎内

⑮ 出願人 株式会社諏訪精工舎
東京都中央区銀座4丁目3番4号

⑯ 特許 昭55-176946

⑰ 代理 人 弁理士 最上務

⑭ 出願 昭55(1980)12月15日

⑮ 発明者 両角伸治

諏訪市大和3丁目3番5号株式

明細書

発明の名称

アクティブ・マトリックス表示体用 IC 基板

特許請求の範囲

(1) データ線とゲート線のマトリックスにより構成されるアクティブ・マトリックス表示体用 IC 基板において、前記 IC 基板内にデータ線及びゲート線を駆動すべく、各々にシフトレジスタ列を含む周辺駆動回路が内蔵されており、前記シフトレジスタ列はクロック入力を直接スイッチング電源とするダイナミックシフトレジスタにより構成されることを特徴とするアクティブ・マトリックス表示体用 IC 基板。

(2) ゲート線を駆動するシフトレジスタ列における前段から後段へのデータ転送はトランスファゲートを介して行ない、更に前記トランスファゲートを介した入力とクロック信号との間にブーストトランプ容量を接続する構造のシフトレジスタを

用いたことを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス表示体用 IC 基板。

(3) ゲート線を駆動するシフトレジスタ列の各段はクロック信号により“0”電位にリフレッシュするトランジスタを備えていることを特徴とする特許請求の範囲第2項記載のアクティブ・マトリックス表示体用 IC 基板。

(4) データ線はサンプル・ホールドトランジスタを介して駆動され、シフトレジスタ列の各段の出力はブーストトランプ動作により、クロック信号の振幅より過大な振幅の信号として前記サンプル・ホールドトランジスタのゲートに印加することを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス用 IC 基板。

(5) データ線側の駆動回路に含まれるシフトレジスタ列は4相以上のクロックペルスにより動作することを特徴とする特許請求の範囲第4項記載のアクティブ・マトリックス用 IC 基板。

(6) シフトレジスタ列を含む周辺駆動回路は表示

部分をはさんで対照に複数個配列され、各入力の接続の有無により複数個のうちの1個を選択することを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス表示体用IC基板。

(4) 周辺駆動回路を構成する複数のシフトレジスタ列のクロック入力は複数個の入力端子を備えていることを特徴とする特許請求の範囲第6項記載のアクティブ・マトリックス用IC基板。

(5) データ線の駆動回路を構成するシフトレジスタ列は、非選択時にサンプル・ホールド・トランジスタを強制的に高インピーダンス状態にするリセット・トランジスタを備えていることを特徴とする特許請求の範囲第6項記載のアクティブ・マトリックス表示体用IC基板。

(6) ゲート線を駆動する複数のシフトレジスタ列の各共通段の出力はゲート線を介して直接、接続されていることを特徴とする特許請求の範囲第6項記載のアクティブ・マトリックス表示体用IC基板。

を選択する信号を各ゲート線G₁～G_nに与え、又その走査位置におけるデータを、横方向へ走査して書き込むためにデータ線に送り込むための周辺回路が必要となる。

ところが、この周辺回路と、このアクティブ・マトリックス基板の接続は、(n+m)の2倍必要となり、実際は400～800本用いかなり大変でありコスト的にも高くつく。又周辺駆動回路自体も通常消費電力を低減する意味でCMOS-LSIが用いられるが、このために必要なチップ数が10コ～20コで、やはり、アセンブルが大変で、チップ自体のコストもかかり過ぎる。従ってこの周辺回路をIC基板に内蔵することが最もよいが、下に挙げるような問題点がある。

(1) 外付の場合はCMOS技術が使えるが、一般にマトリックスIC基板はN-MOS、又はP-MOSであり、普通に駆動回路を構成すると消費電力が大きすぎて使いものにならない。又IC基板をCMOSにすると、製造プロセスが複雑になりすぎる。

発明の詳細な説明

本発明は周辺駆動回路を内蔵したアクティブ・マトリックス表示体用IC基板に関する。

従来アクティブ・マトリックス用IC基板は、表示部分のみで構成され、マトリックスの駆動部分はIC基板とボンディング等により接続された外部のCMOS-ICチップにより構成されていた。第1図はアクティブ・マトリックスの表示部分を示し表示部分1は(n×m)コのセル2が配列されている。各セルにはゲート線G₁～G_nとデータ線D₁～D_mが配線されており、この2つの信号線の交点となるセルを選択してデータ線D₁～D_mからデータを各セルに書き込む。各セルはトランジスタT₁～T₄とデータ保持用の容量C₁～C₄から構成されて、駆動点V₁～V₄から液晶等の表示体を駆動する。例えばここにテレビの画面表示を行うとすると、テレビ用の映像信号が各タイミングに応じてデータ線から、その時の走査線位置にあたるゲート線を選択することにより各セルに順次データを書いてゆく。このためには走査位置に合致したゲート線

(2) 駆動回路外付の場合には、分割されているので歩留は問題ないが、内蔵すると歩留が100%近くないと、駆動回路の一部の不良により、IC基板全体が不良となる。

従つて本発明の目的は、アクティブ・マトリックス表示体用基板内に、N-MOS又はP-MOSによる極低消費電力の周辺駆動回路を高歩留りで構成する方法を提供することにある。

本発明にて用いる周辺駆動回路はブーストストラップ回路を利用した静止電流のクロック入力を直接スイッチング電源とするダイナミックシフトレジスタを中心に構成される。

第2図は本発明で用いるゲート線の駆動回路の一例である。シフトレジスタセル5は4つのトランジスタT₁～T₄と1つのブーストストラップ容量C₁より構成される。クロックはT₁とT₂の2相でありスタートバルスS_P入力によりT₁電位が順次クロックに同期して転送してゆく。各シフトレジスタの出力Q₁～Q₄がゲート線に入力されて、この結果第3図に示すなく、既に各ゲー

ト報を選択してゆく。このシフトレジスタに要求されることは、テレビの走査の場合フレーム周波数が $1/60$ Hzであるので走査スピードが遅いので、通常のダイナミック動作ではむずかしいことと、ゲート端には数十エアの寄生容量があると同時に表示部のセル内のトランジスタを完全にOFFにするためにはデータ線の最大電圧にバックゲート効果を考慮したシキイ値を加えた分より更に大きな電圧を印加しなければならないことである。このため、シフトレジスタ入力には入力トランジスタゲートトランジスタを用いて、T₁～T₈に一括器えてからブーストストラップ容量により、D₁～D₈に“1”を書き込む。もしこのトランジスタゲートを用いないと、D₁とT₂、D₂とT₃、……と短絡され、ブーストストラップ容量をゲート線容量C_{G1}よりずっと大きくする必要があり、バターンが大きくなつて、歩留りを低下させる。又D₁～D₈の“1”に書き込まれた後“0”に設定するためにはトランジスタT₉にT₁を接続するのみでよいが、このシフトレジスタが低周

波で動作する場合、わずかのリードに対しても動作不良となるので、歩留りを向上させ、動作を安定化させるために電位固定トランジスタを追加して、クロックの半周期毎に“0”レベルにリフレッシュしてやる。

第4図は本発明によるデータ線間の駆動回路の一例である。シフトレジスタセル14はブーストストラップ容量16と動作に必要なトランジスタ17、18と後述するシフトレジスタ選択のためのリセットトランジスタ19により構成され、初段へは入力ゲート15を介してスタートバルスS2を印加する。又各シフトレジスタ出力S₁～S₈はサンプルホールドトランジスタH₁～H₈に入力され、走査信号に同期してビデオ入力V₁～V₈（映像信号又はデータ書き込み信号）をデータ線に寄生する容量D₁～D₈にサンプルホールドさせる。データ線間駆動回路は一走査線内で全ての処理を行うため高速であり、リード電流の考慮は余りしなくてよいが、逆に高消費電力を確保することと、高速のために増大する消費電力を抑え

ることを考慮する必要がある。このために、シフトレジスタのクロックは2相でなく4相以上を用いるのがよい。同一の転送率で同一のビット数を確保するためにはクロックが2相から4相になればクロックラインS₁～S₄で消費する電力は半分になる。又8相になればその半分となる。このシフトレジスタは8ビット中1ビットしか“1”になつてないのでクロック以外での電力消費は少ない。従つて本方式の採用により、周辺駆動回路はモノチャネル構成にもかかわらず0.4W並の低電力とすることが可能である。シフトレジスタの出力S₁～S₈はサンプルホールドトランジスタH₁～H₈に入力されるのみでここに寄生する容量はそう大きくない。従つてS₁～S₈に直接小面積で構成されるブーストストラップ容量16を接続することが可能となる。サンプル・ホールドトランジスタ20～23はかなりの高速スイッチングが要求されるが、そのゲート入力にはブーストストラップ動作により、第5図に示す如くクロック信号の2倍近い振幅で印加されるので、非

常に高速でスイッチングできるという利点がある。

第6図はこれらを実際にアクティブ・マトリック基板に配置した場合を示している。データ側シフトレジスタ35、36と及び坂経段の信号を形成するダミーセル37、38とサンプルホールド用トランジスタH₁～H₈があり上下対照に配列される。又ゲート側シフトレジスタ31、32とダミー33、34は左右対照に配列される。本来周辺回路は両側対照でなく、片方のみでよいが、歩留を考慮してシフトレジスタ列を複数用意する。当然4列でも、8列でもよいが、ここでは2列の例を示す。更に各入力部は、フローティング防止のため、図には示していないがブルダウン又はブルアップ抵抗が接続されており、入力をオープンにしても電気的には一定のボテンシャルに保たれるようとする。

本発明に用いる周辺駆動回路は更に歩留り改善のため、シフトレジスタに不良が発生した場合は修正を実行し不良ビットの切り捨てや、一方のシ

フレジスタを殺すことを実行して、実効的歩留を確保するように工夫してある。

まずデータ側の駆動回路中のシフトレジスタは歩留りは50%以上の場合上下どちらかのシフトレジスタ(35 or 36)は必ず動作するので動作する方のシフトレジスタに入力するクロック入力 ϕ_1 ~ ϕ_6 のペッドのみに、クロック信号を接続する。又クロック入力は左右どちらでもよいが途中で断線している場合は両側から入力する。又スタートバルス入力は接続するが、リセット入力はオープンでよい。又動作させない方のシフトレジスタはクロック入力とスタートバルス入力をオープンにするとアルダウント抵抗により基板と同電位となりシフトレジスタは全く動作しないと共に全く電流は消費しない。このクロックを直接スイッチング電源とするシフトレジスタは、定電源を全いてないので、單にクロックを配給しないだけで電力消費を0にできるという大きな特徴がある。又同時にリセット入力を“1”として各シフトレジスタ出力 S_1 ~ S_6 を“0”としてサンプ

ルホールドトランジスタ D_1 ~ D_6 をOFFとして動作する D_1 ~ D_6 に影響を与えないようする。この方法はシフトレジスタ内にリセット機能を設けずに、第7図に示すようにサンブルホールドトランジスタ D_1 とデータ線 D_3 の間にビデオ信号 V_S (データ書き込み信号)から無条件に高インピーダンスにするサンブルホールドバイオブ置き S_H によりスイッチングされるトランジスタ T_2 を用いてもよい。

第6図の配置において、もしサンブルホールドトランジスタが不良の場合は、その不良トランジスタのデータ線とトランジスタのA端子をレーザにより切断し、切り離されたトランジスタ間のシフトレジスタは動作停止にしておく。又本のうちのいずれかのデータ線が途中で断線していた場合は、両側のシフトレジスタを並列動作させる。但し消費電力がその分増加するので、断線している部分のみ動作させて必要外のビットはクロックライン ϕ_1 ~ ϕ_6 の途中をレーザにより切断しておくるのもよい。

タイミング側のシフトレジスタは各ビットの出力同志が直接接続されているので、不良ビットが同一位置、又はその互いに前後2段以内にある場合を除いて、両側のシフトレジスタに不良ビットが存在しても、完全に修正可能である。第6図において、右又は左側のシフトレジスタが少なくともどちらか一方が完全に動作するならば、動作させる方にはクロック ϕ_1 ~ ϕ_6 とスタートバルス S_{AP} を接続し、又動作させない方のシフトレジスタのクロック・スタートバルス入力はオープンにすると、アルダウント抵抗により自動的に基板と同一電位となり、動作させない方のシフトレジスタの出力は高インピーダンスの状態に保たれる。この結果單に入力の接続のみで、シフトレジスタの選択が可能である。もし両方のシフトレジスタに不良がある場合、例えば第8図の如く不良ビットが S_2 , S_3 , S_4 の如く存在すると、まず左側のシフトレジスタ S_0 から入力して不良ビットの2ビット手前から(短延用の信号が必要なので)右側へ移し、又不良ビット S_3 の2ビット手

前から又左へ移し同様に更に不良ビット S_4 から右へ移すというように自在にできる。これはレーザを用いて早に移す位置で配線を切断するだけで足りる。もし不良ビットの出力がリークしている場合(リークにより不良の場合)、それがシフトレジスタ自身のリークであればゲート線とシフトレジスタを切り離せばよい。又ゲート線が途中で断線している場合は、そのゲート線の両側のシフトレジスタは同時に並列に動作させる。又クロックラインが不良の場合は、不良の部分を切り離して両側のクロックラインからドライブしてもよい。このようにタイミング側のシフトレジスタは特殊な不良の発生の状況を除けば、もし両方のシフトレジスタに不良があつても90%以上の割合で修復可能である。

本発明に用いるシフトレジスタは、低消費電力と、高歩留りを特徴とするものである。シフトレジスタは、電源をクロック入力として直接スイッチングすることにより、CMOSの如く常に定常バイアスを印加することと異なり最少リリーク

による静止電流は少なく、又ブートストラップによるダイナミック方式の採用により、1ビット当たりの電子数は5トランジスタ(CMOSは10)と少ないので動作電力も少なく、合計してCMOSタイプよりむしろ、全体の消費電力はぐっと少なく、例えばクロック振幅10Vの時にデータ個数は1μH×4相クロック、200ビットで約0.3mA。タイミング例は16MHzで0.02mAである。又この方式のシフトレジスタはブートストラップ動作により高速動作を保証してくれる。又回路が簡単なことにより、シフトレジスタの初期歩留は高く、画素セル $200 \times 200 = 4$ 万個の良品率が50%の時、シフトレジスタ1系列当たり70%であり、両側のどちらかの選択をして90%、前述の修正を実行して99%の良品率であり、内蔵することによる歩留りの低下を完全に防止できた。この結果、アクティブ・マトリックス用IC基板内に周辺駆動回路を完全に内蔵化が可能となり、その平均ボンディング数は平均25本となり、大幅な生産性の向上とコストの低下を可能

とした効果は大きい。

図面の簡単な説明

第1図は從来の表示用アクティブ・マトリックス用IC基板の構成を示し、第2図、第4図は本発明に用いる周辺駆動回路の1例、第3図、第5図はその動作を示す。第6図は本発明による周辺駆動回路を内蔵したアクティブ・マトリックス用IC基板の構成例、第7図はサンプルホールド回路の他の構成例、第8図はタイミング例シフトレジスタの修正方法を示す。

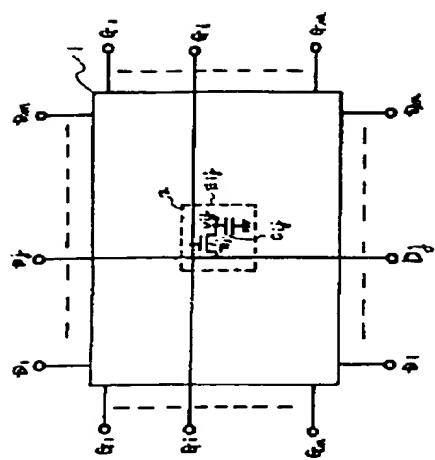
0₁ ~ 0_n ゲート線
 D₁ ~ D_m データ線
 V_S ビデオ信号
 φ₁ ~ φ₄, φ₁₀ ~ φ₁₆ クロック
 S_P, S_{P G} スタートペルス
 O₁ ~ O₄ シフトレジスタ出力
 H₁ ~ H_m サンプルホールド・トランジスタ
 31, 32, 35, 36 シフトレジスタ

33, 34, 37, 38 シフトレジスタダミーセル

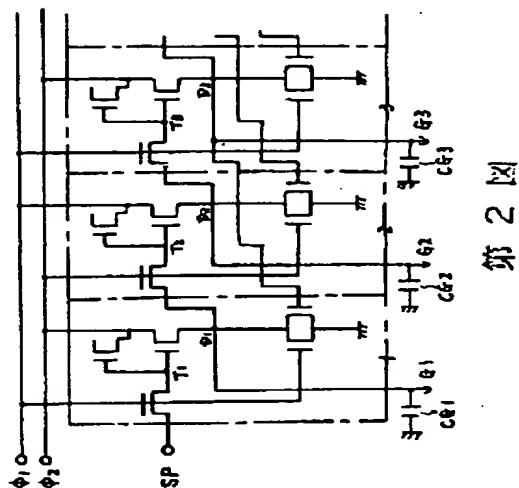
以上

出願人 株式会社証明工芸
代理人 弁理士 堀上

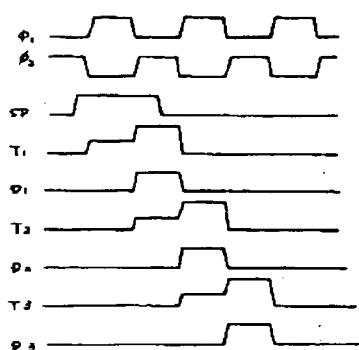




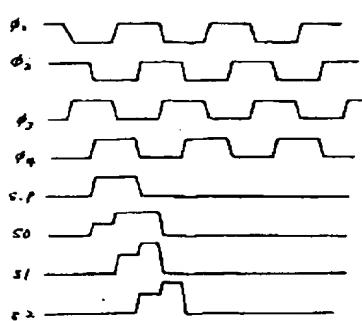
圖一



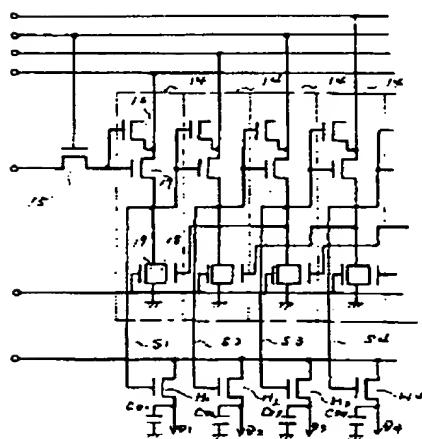
第2回



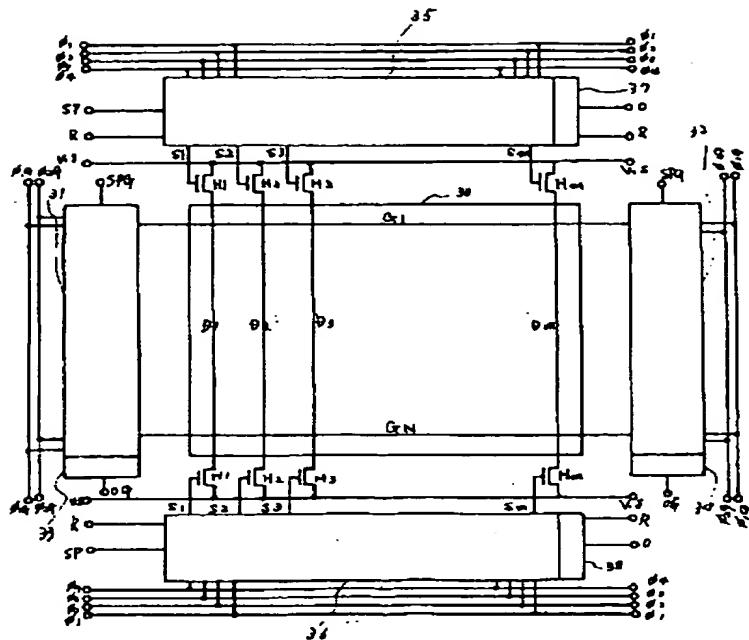
第3回



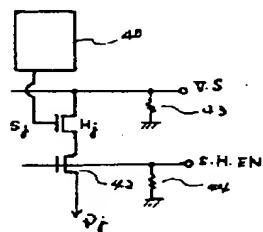
第 5 図



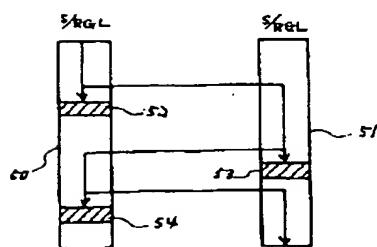
第 4 図



第 6 図



第 7 図



第 8 図